

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-112345

(43)Date of publication of application : 30.05.1986

(51)Int.Cl.

H01L 21/78

(21)Application number : 59-233330

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.11.1984

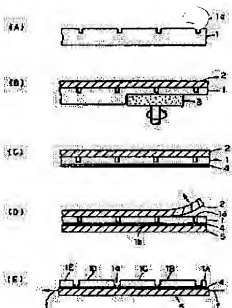
(72)Inventor : KIMURA TAKASHI
KATO TOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the cracking of a wafer by forming a groove in predetermined depth to an element forming surface prior to the back removing processing of the semiconductor wafer, sticking a first single-side adhesive sheet in a desired manner and reinforcing the wafer.

CONSTITUTION: Grooves 1a are cut crosswise to an element forming surface in a semiconductor wafer 1, to which elements are shaped completely, to a cell shape, and the wafer is brought to the state of a half-cut. A single-side adhesive sheet 2 is stuck onto the element forming surface in the semiconductor wafer 1. The back of the wafer 1 is ground extending over the whole surface by a diamond wheel 3, etc., and a second single-side adhesive sheet 5 is stuck onto the lower surface of an adhesive layer 4 for die bonding while the first single-side adhesive sheet 2 on the upper surface side is peeled. The single-side adhesive sheet 5 is heated in the direction of the arrow (f) and extended, and the grooves 1a among each chip 1A, 1B,...1E are widened, thus easily picking up the chips in the next die bonding process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭61-112345

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和61年(1986)5月30日

H 01 L 21/78

A-7376-5F

審査請求 有 発明の数 1 (全4頁)

⑰ 発明の名称 半導体装置の製造方法

⑱ 特 願 昭59-233330

⑲ 出 願 昭59(1984)11月7日

⑳ 発 明 者 木 村 隆 川崎市幸区小向東芝町1 株式会社東芝多摩川工場内
 ㉑ 発 明 者 加 藤 俊 博 川崎市幸区小向東芝町1 株式会社東芝多摩川工場内
 ㉒ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ㉓ 代 理 人 弁 理 士 諸 田 英 二

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1 半導体ウエハを各チップ毎にダイシングする工程として、素子形成後の半導体ウエハの表面に格子状の溝を所定の深さまで形成する工程と、所望により該溝の形成前又は形成後に該表面の全面を第一の片面粘着シートなどで補強する工程と、該溝の形成後又は該表面の補強後に該半導体ウエハの裏面全面を該溝の底に達し又は達しない厚さだけ削除する工程と、該半導体ウエハの表面側に第二の片面粘着シートを貼着するとともに該第一の片面粘着シートなどの補強材を該半導体基板の表面から除去する工程とを含む半導体装置の製造方法。

2 所定の厚さだけ裏面を削除した後の該半導体ウエハの裏面と該第二の片面粘着シートとの間に、ダイボンディング時完全硬化するよ

うに半硬化状態のダイボンド用接着層を形成する工程を、さらに含む特許請求の範囲第1項記載の半導体装置の製造方法。

3 所定の厚さだけ裏面を削除した後の該半導体ウエハの裏面と、該第二の片面粘着シートとの間又は該ダイボンド用接着層を設けたときは該ダイボンド用接着層との間に、金属薄膜を形成する工程を、さらに含む特許請求の範囲第1項又は第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は半導体装置の製造方法に関し、特に、ダイシングからダイボンディングに至る工程において半導体ウエハの損傷を効果的に防止することができるとともに前記工程において高い歩留りを実現できる新規な製造方法に関するものである。

〔発明の技術的背景〕

半導体装置の製造工程は、よく知られているように、半導体ウエハに素子を形成するための素子

形成工程（いわゆるウエハ工程）と、素子形成終了後の半導体ウエハを併目状に切断分割して得られた多数の半導体チップをフレームやケースに実装するための実装工程とから構成される。

従来、素子形成終了後の半導体ウエハをチップに分割する場合、分割に先立ってまず該半導体ウエハの素子形成面の裏面を研削もしくはラッピング等によって一様に削除して該半導体ウエハの厚みを低減させ、薄化した半導体ウエハの裏面にチップのマウント性をよくするため金銀銅膜を蒸着するなどの必要な加工を加えた後、スクライピングアブローブやダイヤモンドホイールもしくはダイヤモンドブレード等の超硬工具で該半導体ウエハの素子形成面に併目状に多数の溝を切り込んで該半導体ウエハを多数のチップに分割していた。

そして、このようにして得られたチップはフレーム等への実装工程において例えば絶縁性ペーストもしくはAg含有導電性ペーストを用いてリードフレームに接合されていた。

【背景技術の問題点】

があった。しかも、現用のチップよりも溝内のチップをリードフレーム上に滴下したペーストで接合すると、チップ厚さが小さいためチップ接合時にペーストがチップ表面にまで這い上がって素子がペーストによって短絡もしくは汚染されてしまう恐れがあり、従って前記のごとき従来のチップ接合方法を溝内チップに適用した場合、半導体装置の製造歩留りや信頼性が大幅に低下する恐れがあった。

【発明の目的】


この発明の目的は、現用のシリコン半導体ウエハよりも大口径のシリコン半導体ウエハを用いて溝内のチップからなる半導体装置を製造する場合や、GaAs半導体ウエハから半導体装置を製造する場合において、該ウエハの損傷を未然に防止することができるとともにダイシングからダイボンディングに至る工程において高い歩留りを実現し且つ信頼性の高い半導体装置を製造することのできる新規な半導体装置製造方法を提供することである。

従来、使用する半導体ウエハが強度の高いシリコン半導体ウエハであって且つチップの所望の厚みが比較的厚かったため、前記のごとき従来の分割方法によっても半導体ウエハに亀裂や好ましくない割れが発生することは比較的少なかったが、シリコンよりも脆弱なGaAsウエハを前記従来方法で処理すると、切断予定線以外の場所に亀裂や割れが発生しやすいため、製造上問題となっていた。

また、最近では、シリコン半導体装置において回路集積度の大規模化とチップ歩留りの一歩の向上とを目標として従来よりも一層大口径の半導体ウエハを使用することが計画される一方、素子の高密度化に伴ってチップの放熱性を高めるとともにチップの小型化を目的として従来よりも薄肉のチップを使用することが計画されているが、このように半導体ウエハが薄肉化し且つ大口径化すると強度が比較的大きいシリコン半導体ウエハでも前記従来方法では非常に亀裂や割れが発生しやすくなり、従って歩留りが大幅に低下する恐れ

【発明の概要】

この発明の最も好適な方法においては、素子形成後のウエハ表面にダイヤモンドブレードなどによってダイシング線に沿って所定の深さまで溝切りをした後、ウエハ強度をおぎなう必要があれば第一の片面粘着シートを貼着して、該ウエハの裏面を研削もしくはラッピング等によって削除し、更に該裏面にダイボンド用接着剤を形成し（金銀銅膜を形成することもある）、次いで該ダイボンド用接着剤の表面に第二の片面粘着シートを貼着するとともに該第一の片面粘着シートを該ウエハ表面から剥離し、更に該第二の片面粘着シートを展張させて該ウエハの各チップ部分を互いに剛隔させるようにしたものである。この発明の方法においては、ウエハが比較的厚い時にチップ分割用溝切りが行われ、ウエハ表面にラッピングやラッピング後の加工を行う時には該ウエハが第一の片面粘着シートによって補強されているためウエハに亀裂や割れが入る恐れがなく、また、ラッピング面にダイボンド用接着剤を塗布し半硬化のダ

イボンド用接着層を形成し、は、分別後の各チップの表面には所定厚さのダイボンド用接着層が形成されているので次のダイボンディング工程においてダイボンド用接着剤がチップ表面に這い上がることなくボンディングを行うことができ、その結果、従来の製造方法における前記問題点が解決される。

〔発明の実施例〕

以下に添付図面の第1図(A)乃至(E)を参照して本発明方法の一実施例について説明する。

本発明の方法の実施するには、まず第一工程として第1図(A)に示すように素子形成を終了した厚さ400 μ mの半導体ウエハ1の素子形成面に公知の方法で縦続に研削状に深さ140 μ mの溝1aを切り込んで該ウエハをハーフカット状態又は全カットに近い状態にする。

次に第二工程として該半導体ウエハ1の素子形成面(溝切り面)に第1図(B)に示すように第一の片面粘着シート2を貼りつける。なお、全カット状態に溝形成をするときは溝形成前に第一

の片面粘着シート2を貼るのがよい。ついで第三工程として片面粘着シート2を貼付した半導体ウエハ1の裏面をダイヤモンドホイール3等で全面にわたって研削し、ウエハが所定の160 μ mの厚さになるまで削除する。この研削量の場合にはチップは分離されていないが、分離できる厚さまで研削してもよい。

チップ表面に腐食要素子にとって必要な金属膜などを蒸着法によって形成する場合には、ウエハを第一の片面粘着シートで補強した状態で蒸着を行うことができる。

次にダイボンド用接着層を形成するときは、スクリーン印刷法を用いるか或いはその他の適当な方法によってエポキシ樹脂含有のペーストを半導体ウエハ1の裏面全体にわたって一様な厚さに塗布した後、温度80℃で1時間程度のベーキングを行うことにより、第1図(C)に示すように半導体ウエハ1の裏面に厚さ15 μ m程のBステージ状態のダイボンド用接着層4を形成する(ダイボンド用接着層4の形成に用いるペーストは絶縁性のもの)。

ダイボンディング工程においては、第二の片面粘着シート5上から各チップ1A～1Eをピックアップしてダイボンディングを行うが、各チップの下面には予め半硬化されたダイボンド用接着層4が形成されているので直ちにダイボンディングを行うことができ、しかも、各チップ下面のダイボンド用接着層4の厚さは予め厳密に制御されているため、ダイボンディング時に接着剤の這い上がりが生ずることはない。

なお、第一及び第二の片面粘着シートの代わりに接着力の異なる平坦で剥離性のよい塗膜を使用してもよく、またウエハ裏面の削除加工としてダイヤモンドホイールによる研削ばかりでなく、ラッピングもしくはケミカルエッチング等の方法を用いてもよい。

〔発明の効果〕

第一の片面粘着シート2を剥離した後、第五工程は第1図(E)に示すように片面粘着シート5を矢印f'の方向に加熱して伸張するが、各チップ1A、1B、…1Eの間の溝1aも広がり、次のダイボンディング工程においてチップのピックアップが容易になる(なお、片面粘着シート5を加熱せずに矢印f'方向の張力を加えて伸張させてもよ

い)。以上に説明したように、本発明の方法では、半導体ウエハの裏面削除加工に先立って素子形成面に所定の深さの溝を形成し、所望により第一の片面

粘着シートを貼りつけ、強を行うため、該ウエハの裏面削除加工時に半導体ウエハに亀裂を生じる恐れがなく、その結果、大口径且つ薄肉の半導体ウエハのダイシングも該ウエハに損傷を与えることなく行うことができる。

また、本発明方法では、ダイシング工程すなわちウエハ分割工程においてダイボンド用接着層を形成し、かつダイボンド用接着層の厚さを精密に制御するのに好適であり、従ってダイボンディング時にダイボンディング用接着剤がチップ上面に這い上がってくる恐れがなく、ダイボンディング不良に基因する歩留り低下を生ずる恐れがない。

従って、本発明の方法によれば、非常に大口径且つ薄肉のシリコン半導体ウエハや脆いGaAsウエハから信頼性の高い半導体装置を高い製造歩留りで製造することができ、本発明の方法はこれらの半導体ウエハを使用する半導体装置のための製造化技術として寄与するものである。

4. 図面の簡単な説明

第1図の(A)乃至(E)は本発明方法の工程

を説明するための半導体ウエハの断面図である。

1…半導体ウエハ、2…第一の片面粘着シート、3…ダイヤモンドホイール、4…ダイヤモンド用接着層、5…第二の片面粘着シート、1a…溝、1A～1E…チップ。

特許出願人 株式会社 東 芝
代理人 弁理士 諸田 英二



第1図

